

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-356837

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

G06F 1/10
H03K 5/04
H03K 5/15

(21)Application number : 2000-181017

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 16.06.2000

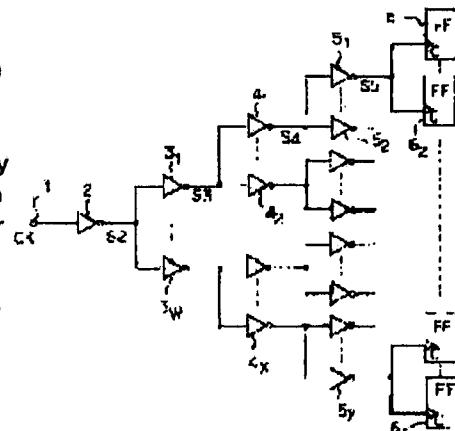
(72)Inventor : NAGAMINE YUTAKA

(54) CLOCK SIGNAL DISTRIBUTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock signal distributing circuit for distributing a clock signal having a 1:1 duty ratio in the same timing.

SOLUTION: Inverters 2, 3, 4, and 5 connected like a tree and having an even number of stages are designed so that the delay time α at the time of buildup can be made equal and that a delay time β at the time of decay can also be made equal. When a clock signal CK having a 1:1 duty ratio is inputted to the input side of the inverter 2 of the first stage, a clock signal having a 1:1 duty ratio is outputted from the inverter 5 in the fourth stage with a $2(\alpha + \beta)$ delay, and supplied to the clock terminal C of a FF (flip flop) 6 being a sequential circuit element in an integrated circuit.



本発明の第1の実施形態のクロック信号分配回路

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-356837

(P2001-356837A)

(43)公開日 平成13年12月26日(2001.12.26)

(51)Int.Cl.⁷

G 0 6 F 1/10
H 0 3 K 5/04
5/15

識別記号

F I

H 0 3 K 5/04
G 0 6 F 1/04
H 0 3 K 5/15

マーク(参考)

5 B 0 7 9
3 3 0 2 5 J 0 0 1
Z 5 J 0 3 9

審査請求 未請求 請求項の数 3 O.L (全 7 頁)

(21)出願番号

特願2000-181017(P2000-181017)

(22)出願日

平成12年6月16日(2000.6.16)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 長嶺 豊

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100086807

弁理士 柿本 基成

F ターム(参考) 5B079 BA20 BB10 BC03 DD08 DD20

5J001 AA11 BB02 BB05 BB08 BB12

CC03 DD04

5J039 EE24 KK04 KK09 KK10 KK13

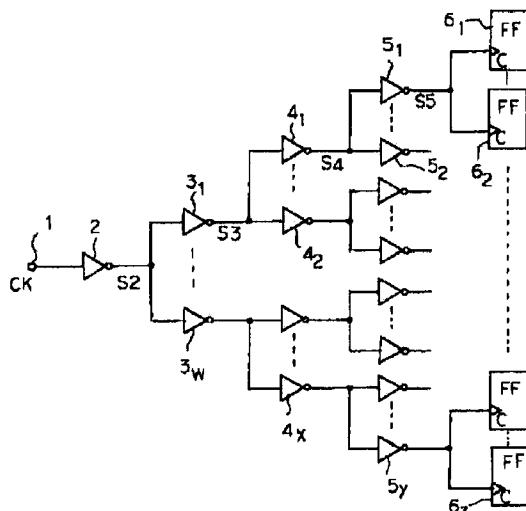
MM06

(54)【発明の名称】 クロック信号分配回路

(57)【要約】

【課題】 1:1のデューティ比を有するクロック信号を、同一タイミングで分配することができるクロック信号分配回路を提供する。

【解決手段】 樹枝状に接続された偶数段のインバータ2, 3, 4, 5は、立上がり時の遅延時間 α が等しく、かつ立下がり時の遅延時間 β が等しくなるように設計されている。初段のインバータ2の入力側に1:1のデューティ比を有するクロック信号CKが入力されると、2($\alpha + \beta$)だけ遅延して1:1のデューティ比を有するクロック信号が、4段目のインバータ5から出力されて集積回路内の順序回路素子であるFF(フリップ・フロップ)6のクロック端子Cに供給される。



本発明の第1の実施形態のクロック信号分配回路

1

【特許請求の範囲】

【請求項1】 与えられたクロック信号を複数段のバッファ増幅器を介して順序回路素子に分配するクロック信号分配回路において、前記クロック信号を偶数段の前記バッファ増幅器を介して前記順序回路素子に供給するように該バッファ増幅器を樹枝状に接続すると共に、前記各段のバッファ増幅器を、立上がり時の遅延時間が等しくかつ立下がり時の遅延時間が等しい反転増幅器で構成したことを特徴とするクロック信号分配回路。

【請求項2】 与えられたクロック信号を複数段のバッファ増幅器を介して順序回路素子に分配するクロック信号分配回路において、前記バッファ増幅器の内の最終段のバッファ増幅器と前記順序回路素子との間に、該バッファ増幅器の出力信号の立上がりまたは立下がりタイミングで保持内容を交互に反転して出力するフリップ・フロップを設けたことを特徴とするクロック信号分配回路。

【請求項3】 与えられたクロック信号を複数段のバッファ増幅器を介して順序回路素子に分配するクロック信号分配回路において、前記複数段のバッファ増幅器の内の最終段のバッファ増幅器の出力信号を監視し、該出力信号のデューティ比が

1 : 1 になるように前記クロック信号のデューティ比を制御して該複数段のバッファ増幅器の内の初段のバッファ増幅器に与えるデューティ補正部を設けたことを特徴とするクロック信号分配回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路等において、複数のラッチ回路等の順序回路素子に共通のクロック信号を同一タイミングで分配するクロック信号分配回路に関するものである。

【0002】

【従来の技術】従来の集積回路等では、複数のフリップ・フロップ（以下、「FF」という）やラッチ回路等の順序回路素子に共通のクロック信号を同一のタイミングで分配するために、複数のバッファ増幅器を樹枝状に接続すると共に、接続配線による遅延時間が一定になるよう配線の幅や長さを考慮したクロック・ツリーによるクロック信号分配回路が用いられている。また、バッファ増幅器は、集積回路の製造プロセスに対応した標準回路素子ライブラリの中から、適切な駆動能力を有するバッファ増幅器を選択して用いるようにしている。

【0003】

【発明が解決しようとする課題】しかしながら、従来のクロック信号分配回路では、次のような課題があった。各順序回路素子へ分配されるクロック信号の遅延時間が同じになるように、バッファ増幅器が選択され、更にこれらを結ぶ接続配線の幅や長さが設計されている。これ

10

20

30

40

50

2

により、各順序回路素子に、ほぼ同一タイミングで立上がるクロック信号を分配することができる。しかし、バッファ増幅器の立上がり時の遅延時間と、立下がり時の遅延時間が異なると、各順序回路素子に供給されるクロック信号がレベル“H”である時間と、レベル“L”である時間の比（以下、「デューティ比」という）が、

1 : 1 にはならない。更に、集積回路の大規模化によって、クロック・ツリーに使用されるバッファ増幅器の段数が多くなると、遅延時間の差が拡大して、クロック信号のデューティ比が 1 : 1 から大きくずれることがあった。

【0004】一方、集積回路の性能向上のために、クロック信号の“H”期間、及び“L”期間の半相期間を利用して制御回路を構成することが多い。半相期間を利用した制御回路では、デューティ比が 1 : 1 であることを前提としているので、実際に与えられるクロック信号のデューティ比が 1 : 1 からずれると、所定の動作ができなくなるおそれがあった。

【0005】本発明は、前記従来技術が持っていた課題を解決し、1 : 1 のデューティ比を有するクロック信号を、同一タイミングで分配することができるクロック信号分配回路を提供するものである。

【0006】

【課題を解決するための手段】前記課題を解決するため、本発明の内の第1の発明は、与えられたクロック信号を複数段のバッファ増幅器を介して順序回路素子に分配するクロック信号分配回路において、前記クロック信号を偶数段の前記バッファ増幅器を介して前記順序回路素子に供給するように該バッファ増幅器を樹枝状に接続すると共に、前記各段のバッファ増幅器を、立上がり時の遅延時間が等しくかつ立下がり時の遅延時間が等しい反転増幅器で構成している。

【0007】第1の発明によれば、以上のようにクロック信号分配回路を構成したので、次のような作用が行われる。与えられたクロック信号は、樹枝状に接続された偶数段の反転増幅器を介して順序回路素子に分配される。各反転増幅器の立上がり時の遅延時間は等しく設定され、かつ立下がり時の遅延時間も等しく設定されている。従って、偶数段の反転増幅器を介して順序回路素子に分配されるクロック信号のトータルの立下がり時の遅延時間と、立上がり時の遅延時間は等しくなり、与えられたクロック信号と同一のデューティ比を有するクロック信号が分配される。

【0008】第2の発明は、与えられたクロック信号を複数段のバッファ増幅器を介して順序回路素子に分配するクロック信号分配回路において、前記バッファ増幅器の内の最終段のバッファ増幅器と前記順序回路素子との間に、該バッファ増幅器の出力信号の立上がりまたは立下がりタイミングで保持内容を交互に反転して出力する FF を設けている。

【0009】第2の発明によれば、次のような作用が行われる。与えられたクロック信号は、複数段のバッファ増幅器を介して分配されてFFに与えられ、1/2に分周されて順序回路素子に与えられる。FFでは、例えば入力信号の立上がりのタイミングで分周動作が行われるので、与えられた入力信号のデューティ比に関係なく、常に1:1のデューティ比を持つ出力信号が得られる。

【0010】第3の発明は、与えられたクロック信号を複数段のバッファ増幅器を介して順序回路素子に分配するクロック信号分配回路において、前記複数段のバッファ増幅器の内の最終段のバッファ増幅器の出力信号を監視し、該出力信号のデューティ比が1:1になるように前記クロック信号のデューティ比を制御して該複数段のバッファ増幅器の内の初段のバッファ増幅器に与えるデューティ補正部を設けている。

【0011】第3の発明によれば、次のような作用が行われる。与えられたクロック信号は、デューティ補正部によってデューティ比が制御されて初段のバッファ増幅器に与えられる。このとき、デューティ補正部では、最終段のバッファ増幅器の出力信号が監視され、この出力信号のデューティ比が1:1になるようにクロック信号のデューティ比が制御される。

【0012】

【発明の実施の形態】(第1の実施形態)図1は、本発明の第1の実施形態を示すクロック信号分配回路の構成図である。このクロック信号分配回路は、クロック信号発生器等から集積回路内の順序回路素子に分配するクロック信号CKが与えられる端子1を有している。端子1には、樹枝状に接続された偶数段(例えば、4段)の反転増幅器(例えば、インバータ)が接続されている。即ち、端子1にはインバータ2の入力側が接続され、このインバータ2の出力側に複数のインバータ3₁, ..., 3_nの入力側が接続されている。インバータ3₁ ~ 3_nの出力側には、更に複数のインバータ4₁, 4₂, ..., 4_nの入力側が接続され、これらのインバータ4₁ ~ 4_nの出力側には、インバータ5₁, 5₂, ..., 5_nの入力側が接続されている。

【0013】そして、4段目のインバータ5₁ ~ 5_nの出力側が、FF6₁, 6₂, ..., 6_n等の順序回路素子のクロック端子に接続されている。これらのインバータ2, 3₁ ~ 3_n, 4₁ ~ 4_n, 5₁ ~ 5_nは、すべて立上がり時の遅延時間が同じ時間αとなり、また立下がり時の遅延時間が同じ時間βとなるように設計されている。

【0014】図2は、図1の動作を示す信号波形図である。以下、この図2を参照しつつ、図1の動作を説明する。クロック信号CKが立上ると、インバータ2から出力される信号S2は時間βだけ遅れて立下がる。信号S2はインバータ3₁ ~ 3_nに共通に与えられているので、これらのインバータ3₁ ~ 3_nから出力される信号

10

20

30

40

50

S3は、この信号S2の立下がりから時間αだけ遅れて立上がる。従って、信号S3の立上がりは、クロック信号CKの立上がりよりも時間(α+β)だけ遅延する。

【0015】一方、クロック信号CKが立下がると、インバータ2から出力される信号S2は時間αだけ遅れて立上がる。信号S2はインバータ3₁ ~ 3_nに共通に与えられているので、これらのインバータ3₁ ~ 3_nから出力される信号S3は、この信号S2の立上がりから時間βだけ遅れて立下がる。従って、信号S3の立下がりは、クロック信号CKの立下がりよりも時間(α+β)だけ遅延する。

【0016】即ち、インバータ3₁ ~ 3_nから出力される信号S3は、クロック信号CKが時間(α+β)だけ遅延したものと同じ波形となる。同様に、インバータ5₁ ~ 5_nから出力される信号S5は、クロック信号CKが時間2(α+β)だけ遅延したものと同じ波形となって、FF6₁ ~ 6_nのクロック端子Cに分配される。

【0017】以上のように、この第1の実施形態のクロック信号分配回路は、立上がり時の遅延時間が等しく、かつ立下がり時の遅延時間が等しいインバータを偶数段樹枝状に接続している。これにより、最終段のインバータの出力信号のデューティ比は、与えられたクロック信号CKのデューティ比に等しくなる。従って、与えられたクロック信号CKのデューティ比を劣化させずに、集積回路内の順序回路素子に分配することができるという利点がある。

【0018】(第2の実施形態)図3は、本発明の第2の実施形態を示すクロック信号分配回路の構成図である。このクロック信号分配回路は、クロック信号CKが与えられる端子1を有している。端子1には、樹枝状に接続された複数段(例えば、3段)のバッファ増幅器が接続されている。即ち、端子1にはバッファ増幅器12の入力側が接続され、このバッファ増幅器12の出力側に複数のバッファ増幅器13₁, ..., 13_nの入力側が接続されている。バッファ増幅器13₁ ~ 13_nの出力側には、更に複数のバッファ増幅器14₁, 14₂, ..., 14_nの入力側が接続されている。これらのバッファ増幅器13₁ ~ 13_n, 14₁ ~ 14_nは、同じ遅延時間になるように設計されている。

【0019】バッファ増幅器14₁ ~ 14_nの出力側は、リセット機能付きのD型FF15₁, ..., 15_nのクロック端子Cに接続されている。各FF15₁ ~ 15_nの反転出力端子/Q(但し、「/」は反転を意味する)は、データ端子Dに接続され、1/2分周回路が構成されている。FF15₁ ~ 15_nの非反転出力端子Qは、集積回路内のFF16₁, 16₂, ..., 16_n等の順序回路素子のクロック端子に接続されている。

【0020】また、このクロック信号分配回路は、リセット部20を備えている。リセット部20は、リセット信号RSTが与えられる端子21を有し、この端子21

がD型FF22のデータ端子Dに接続されている。FF22の非反転出力端子Qは、D型FF23のデータ端子Dに接続され、このFF23の非反転出力端子Qが3入力の論理積ゲート（以下、「AND」という）24の第1の入力側に接続されている。AND24の第2及び第3の入力側は、FF22の非反転出力端子Q及び端子21に接続されている。FF22, 23のクロック端子Cは端子11に接続され、クロック信号CKが与えられるようになっている。更に、AND24の出力側は、各FF15₁～15₉のリセット端子Rに共通接続されている。

【0021】図4は、図3の動作を示す信号波形図である。以下、この図4を参照しつつ、図3の動作を説明する。まず、端子21に“H”のリセット信号RSTが与えられると共に、端子11にクロック信号CKが供給される。これにより、リセット部20のAND24からリセット信号RSが outputされ、各FF15₁～15₉がリセット状態になる。

【0022】次に、端子21に“L”が与えられると、リセット信号RSTが解除されると、AND24から出力されたりセット信号RSは“L”となり、各FF15₁～15₉は動作可能状態になる。

【0023】端子11に与えられたクロック信号CKは、立上がり及び立下がり時に、それぞれ遅延を生じながら、バッファ12, 13, 14を介して各FF15₁～15₉のクロック端子Cに同じタイミングで入力される。各FF15₁～15₉では、クロック端子Cに入力された信号の立上がりのタイミングで1/2に分周され、その分周された信号がFF16₁～16₉のクロック端子Cに分配される。

【0024】以上のように、この第2の実施形態のクロック信号分配回路は、クロック信号を1/2に分周してFF16₁～16₉に分配するFF15₁～15₉を有している。これにより、与えられたクロック信号CKのデューティ比に関係なく、常に1:1のデューティ比を持つクロック信号を、集積回路内の順序回路素子に分配することができるという利点がある。

【0025】（第3の実施形態）図5は、本発明の第3の実施形態を示すクロック信号分配回路の構成図である。このクロック信号分配回路は、クロック信号CKのデューティ比を補正するデューティ補正部30を備えている。デューティ補正部30は、クロック信号CKが与えられる端子31を有し、この端子31にPLL制御部32が接続されている。PLL制御部32は参照信号REFとクロック信号CKの位相差に基づいて選択信号SEL1, SEL2を出力すると共に、このクロック信号CKの位相を調整して1:1のデューティ比を持つクロック信号CKOを生成して出力するものである。

【0026】PLL制御部32から出力されるクロック信号CKOは、遅延素子(DLY)33の入力側に与え

られるようになっている。遅延素子33の出力側には、更に2段の遅延素子34, 35が継続接続されている。遅延素子33～35の出力側は、セレクタ36の入力側に接続されている。セレクタ36の制御端子には、PLL制御部32から選択信号SEL1が与えられるようになっており、このセレクタ36の出力側がAND37及び論理和ゲート（以下、「OR」という）38の一方の入力側に接続されている。AND37及びOR38の他方の入力側には、PLL制御部32からクロック信号CKOが与えられるようになっている。更に、AND37及びOR38の出力側は、セレクタ39の入力側に接続され、このセレクタ39の制御端子にはPLL制御部32から選択信号SEL2が与えられるようになっている。

【0027】セレクタ39の出力側には、樹枝状に接続された複数段（例えば、3段）のバッファ増幅器が接続されている。即ち、セレクタ39の出力側にバッファ増幅器41の入力側が接続され、このバッファ増幅器41の出力側に複数のバッファ増幅器42₁, ..., 42₉の入力側が接続されている。バッファ増幅器42₁～42₉の出力側には、更に複数のバッファ増幅器43₁, 43₂, ..., 43₉の入力側が接続されている。これらのバッファ増幅器42₁～42₉, 43₁～43₉は、同じ遅延時間になるように設計されている。

【0028】バッファ増幅器43₁～43₉の出力側は、集積回路内のFF44₁, 44₂, ..., 44₉等の順序回路素子のクロック端子に接続されている。更に、バッファ増幅器43₉の出力信号は、参照信号REFとしてデューティ補正部30のPLL制御部32に与えられるようになっている。

【0029】図6は、図5中のPLL制御部32における選択信号生成部の構成図である。この選択信号生成部は、セレクタ38, 39に対する選択信号SEL1, SEL2を生成するもので、立上がり位相比較器32a、立下がり位相比較器32b、及びパルス幅カウンタ32cで構成されている。立上がり位相比較器32a及び立下がり位相比較器32bの一方の入力側にはクロック信号CKが与えられ、他方の入力側には参照信号REFが与えられるようになっている。立上がり位相比較器32aの出力側(PHY1)は、パルス幅カウンタ32cの一方の入力側に接続され、立下がり位相比較器32bの出力側(PHY2)は、このパルス幅カウンタ32cの他方の入力側に接続されている。そして、パルス幅カウンタ32cから選択信号SEL1, SEL2が出力されるようになっている。

【0030】図7(a)～(e)は、図5及び図6の動作を示す信号波形図である。以下、これらの図7(a)～(e)を参照しつつ、図5及び図6の動作を説明する。PLL制御部32は、このクロック信号分配回路の主要制御部であり、端子31にクロック信号CKが入力

されると、参照信号REFとの位相調整が行われる。そして、PLL制御部32内部で1:1のデューティ比を持つクロック信号CKOが生成され、遅延素子33、AND37及びOR38に出力される。

【0031】クロック信号CKOは、継続接続された遅延素子33～35で順次遅延され、これらの遅延素子33～35の出力信号N1、N2、N3がセレクタ36に与えられる。

【0032】図6の選択信号生成部では、立上がり位相比較器32aによって、クロック信号CKOと参照信号REFとの位相差が立上がりエッジで検出され、パルス幅カウンタ32cに与えられる。この時の信号波形を、参照信号REFがクロック信号CKOに対して進み位相の場合として図7(a)に示す。

【0033】同様に、立下がり位相比較器32bにおいて、クロック信号CKOと参照信号REFとの位相差が立下がりエッジで検出され、パルス幅カウンタ32cに与えられる。この時の信号波形を、参照信号REFがクロック信号CKOに対して進み位相の場合として図7(b)に示す。

【0034】図7(c)は、パルス幅カウンタ32cにおいて、図7(a)、(b)の信号波形の位相差の論理和をとった波形である。論理和の結果がプラスであれば、セレクタ39に対する選択信号SEL2として、AND37を選択するための信号が出力される。逆に、論理和の結果がマイナスであれば、セレクタ39の選択信号SEL2として、OR38を選択するための信号が出力される。

【0035】図7(d)は、パルス幅カウンタ32cにおいて、パルス数をカウントする様子を示している。パルス幅をカウントするには、遅延素子33等の遅延時間をサンプリング周波数としてカウントする。図7(d)の場合には、1周期内に合計6パルスがカウントされている。このカウント値の1/2がセレクタ36に対する制御信号SEL1として出力される。カウント値を1/2にするのは、クロック信号CKOとAND37、或いはクロック信号CKOとOR38の回路の出力において、遅延素子33等の遅延時間の2倍の効果が得られるからである。この場合は、カウント値が6であるので、選択信号SEL1の値は3となり、図7(e)に示すように、出力信号N3が選択される。

【0036】セレクタ36では、選択信号SEL1に基づいて、出力信号N1～N3の中の1つ(ここでは、N3)が選択され、セレクタ39では選択信号SEL2によってAND37が選択され、このセレクタ39の信号Yがバッファ増幅器41へ与えられる。信号Yは、樹枝状に接続されたバッファ増幅器41、42₁～42₂、43₁～43₂を介して、FF44₁～44₂のクロック端子に供給される。更に、最終段のバッファ増幅器43₂の出力信号は、参照信号REFとしてPLL制御部

32へフィードバックされる。

【0037】PLL制御部32では、フィードバックされた参照信号REFが、デューティ比1:1の波形と比較される。もしも、参照信号REFのデューティ比が1:1でない場合には、図6の選択信号生成部において、選択信号SEL1、SEL2が変更される。そして、参照信号REFのデューティ比が1:1になった時点で、選択信号SEL1、SEL2が固定される。

【0038】以上のように、この第3の実施形態のクロック信号分配回路は、末端のFF44等の順序回路素子に供給されるクロック信号を、参照信号REFとしてフィードバックさせ、末端でのデューティ比が1:1になるように調整するデューティ補正部30を有している。これにより、常に1:1のデューティ比を持つクロック信号を、集積回路内の順序回路素子に分配することができるという利点がある。

【0039】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)～(d)のようなものがある。

(a) 図1では、樹枝状にインバータを4段接続しているが、偶数段であれば何段でも良い。

(b) 図3及び図5では、樹枝状にバッファ増幅器を3段接続しているが、何段でも良い。また、バッファ増幅器に代えてインバータを用いても良い。

【0040】(c) 図3中のリセット部20の構成は、図示したものに限定されない。即ち、FF15₁～15₅を同時にリセットすることができれば、どのような回路構成でも良い。

(d) 図5中のデューティ補正部30の構成は、図示したものに限定されない。例えば、遅延素子33～35の数を増やして、きめ細かくまたは広範囲にデューティ比を調整するように構成することもできる。

【0041】

【発明の効果】以上詳細に説明したように、第1の発明によれば、立上がり時の遅延時間が等しく、かつ立下がり時の遅延時間が等しい反転増幅器を偶数段樹枝状に接続してクロック信号分配回路を構成している。これにより、順序回路素子にデューティ比1:1のクロック信号を分配することができる。

【0042】第2の発明によれば、複数段のバッファ増幅器を介して分配されたクロック信号を、立上がりまたは立下がりタイミングで保持内容を交互に反転して、順序回路素子に供給するフリップ・フロップを設けている。これにより、クロック信号は、デューティ比1:1の信号に分周されて順序回路素子に与えられる。

【0043】第3の発明によれば、最終段のバッファ増幅器の出力信号を監視し、その出力信号のデューティ比が1:1になるようにクロック信号のデューティ比を制御して初段のバッファ増幅器に与えるデューティ補正部を設けている。これにより、最終段のバッファ増幅器の

出力信号のデューティ比を1:1に補正することができ
る。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すクロック信号分
配回路の構成図である。

【図2】図1の動作を示す信号波形図である。

【図3】本発明の第2の実施形態を示すクロック信号分
配回路の構成図である。

【図4】図3の動作を示す信号波形図である。

【図5】本発明の第3の実施形態を示すクロック信号分*10

*配回路の構成図である。

【図6】図5中のPLL制御部32における選択信号生
成部の構成図である。

【図7】図5及び図6の動作を示す信号波形図である。

【符号の説明】

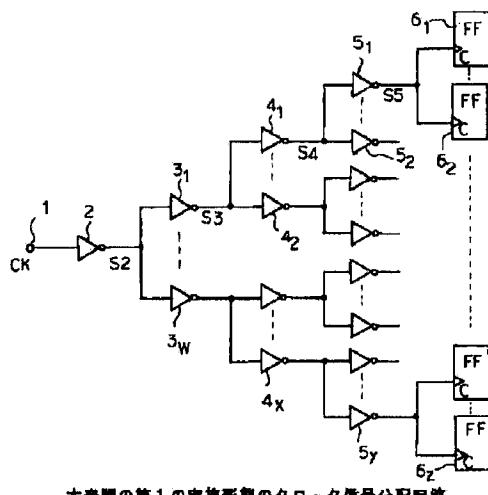
2~5 インバータ

6, 15, 16, 44 FF (フリップ・フロップ)
12~14, 41~43 バッファ増幅器

20 リセット部

30 デューティ補正部

【図1】



本発明の第1の実施形態のクロック信号分配回路

【図2】

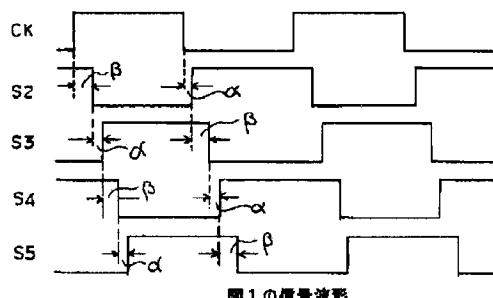
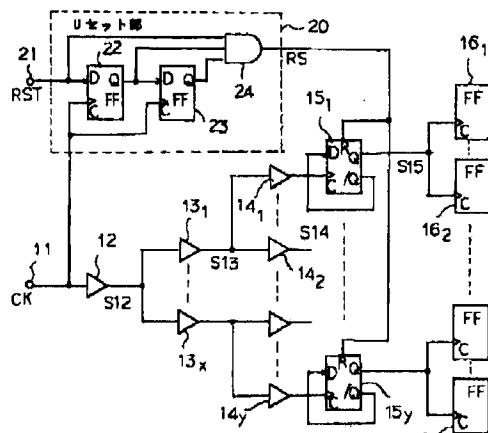


図1の信号波形

【図3】



本発明の第2の実施形態のクロック信号分配回路

【図4】

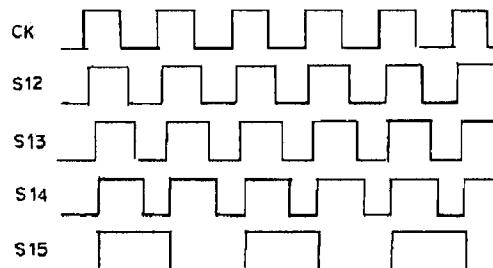


図3の信号波形

【図6】

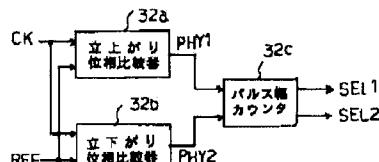
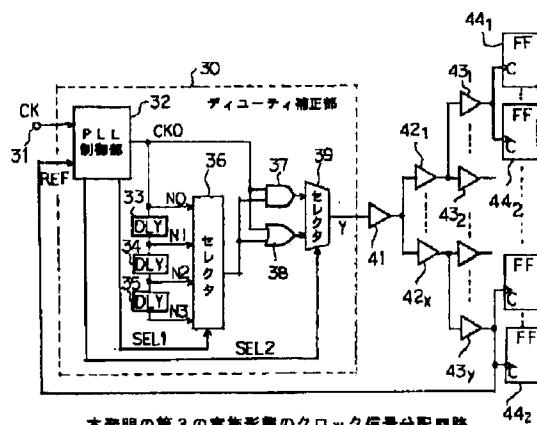


図5中のPLL制御部における選択信号生成部

【図5】



【図7】

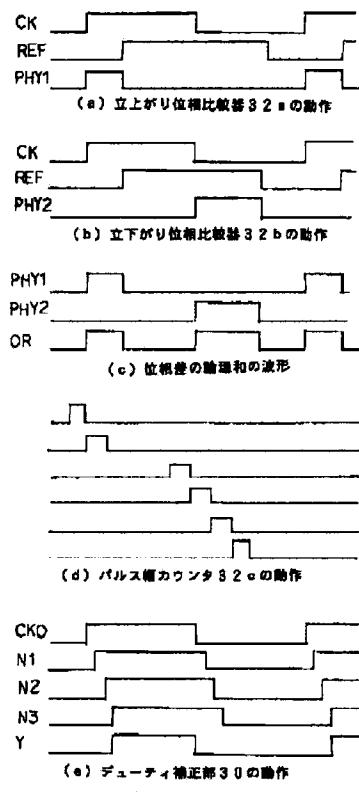


図5及び図6の信号波形

[JP,2001-356837,A]

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the clock signal distribution circuit which distributes a clock signal common to sequential circuit elements, such as two or more latch circuitry, to the same timing in an integrated circuit etc.

[0002]

[Description of the Prior Art]In order for the same timing to distribute a clock signal common to sequential circuit elements, such as two or more flip flops (henceforth "FF"), and latch circuitry, in the conventional integrated circuit, Two or more buffer amplifiers are connected to arborescence, and the clock signal distribution circuit by the clock tree which considered the width and length of wiring as the time delay by connection wiring becoming fixed is used. A buffer amplifier chooses the buffer amplifier which has suitable driving ability, and he is trying to use it out of the standard circuit element library corresponding to the manufacturing process of the integrated circuit.

[0003]

[Problem(s) to be Solved by the Invention]However, the following technical problems occurred in the conventional clock signal distribution circuit. A buffer amplifier is chosen and also the width and length of connection wiring which connect these are designed so that the time delay of the clock signal distributed to each sequential circuit element may become the same. Thereby, the clock signal which rises to each sequential circuit element to the same timing mostly can be distributed. However, if the time delay at the time of the standup of a buffer amplifier differs from the time delay at the time of falling, the ratio (henceforth a "duty ratio") of time for the clock signal supplied to each sequential circuit element to be level "H" to time to be a level "L" will not be set to 1:1. When the number of stages of the buffer amplifier used for a clock tree increased by large-scale-ization of the integrated circuit, the difference of the time delay might be expanded and the duty ratio of the clock signal might shift from 1:1 greatly.

[0004]On the other hand, a control circuit is constituted using the half-phase period of "H" period and "L" period of a clock signal in many cases for the improved efficiency of an integrated circuit. In the control circuit using a half-phase period, since it was premised on a duty ratio being 1:1, when the duty ratio of the clock signal actually given shifted from 1:1, there was a possibility that predetermined operation might become impossible.

[0005]This invention solves the technical problem which said conventional technology had, and provides the clock signal distribution circuit which can distribute the clock signal which has a duty ratio of 1:1 to the same timing.

[0006]

[Means for Solving the Problem]In order to solve said technical problem, the 1st invention of this inventions, In a clock signal distribution circuit which distributes a given clock signal to a

sequential circuit element via two or more steps of buffer amplifiers, This buffer amplifier is connected to arborescence so that said clock signal may be supplied to said sequential circuit element via said buffer amplifier of even level, and a buffer amplifier of each of said stage consists of inversed amplifiers with an equal time delay at the time of falling in which a time delay at the time of a standup is equal.

[0007]Since a clock signal distribution circuit was constituted as mentioned above according to the 1st invention, the following operations are performed. A given clock signal is distributed to a sequential circuit element via an inversed amplifier of even level connected to arborescence. A time delay at the time of a standup of each inversed amplifier is set up equally, and a time delay at the time of falling is also set up equally. Therefore, a time delay at the time of total falling of a clock signal distributed to a sequential circuit element via an inversed amplifier of even level and a time delay at the time of a standup become equal, and a given clock signal and a clock signal which has the same duty ratio are distributed.

[0008]In a clock signal distribution circuit which distributes a clock signal with which the 2nd invention was given to a sequential circuit element via two or more steps of buffer amplifiers, FF which is reversed by turns and outputs a retained content in a standup or falling timing of an output signal of this buffer amplifier between a buffer amplifier of a final stage of said buffer amplifiers and said sequential circuit element is provided.

[0009]According to the 2nd invention, the following operations are performed. A given clock signal is distributed via two or more steps of buffer amplifiers, is given to FF, and dividing of it is carried out to one half, and it is given to a sequential circuit element. In FF, since dividing operation is performed, for example in timing of a standup of an input signal, regardless of a duty ratio of a given input signal, an output signal which always has a duty ratio of 1:1 is acquired.

[0010]In a clock signal distribution circuit which distributes a clock signal with which the 3rd invention was given to a sequential circuit element via two or more steps of buffer amplifiers, Said duty amendment part which supervises two or more output signals of a buffer amplifier of a final stage of the buffer amplifiers of a stage, controls a duty ratio of said clock signal so that a duty ratio of this output signal is set to 1:1, and is given to a buffer amplifier of the first rank of the buffer amplifiers of these two or more stages is provided.

[0011]According to the 3rd invention, the following operations are performed. A duty ratio is controlled by a duty amendment part, and a given clock signal is given to a buffer amplifier of the first rank. At this time, an output signal of a buffer amplifier of a final stage is supervised, and a duty ratio of a clock signal is controlled by a duty amendment part so that a duty ratio of this output signal is set to 1:1.

[0012]

[Embodiment of the Invention](A 1st embodiment) Drawing 1 is a lineblock diagram of a clock signal distribution circuit showing a 1st embodiment of this invention. This clock signal distribution circuit has the terminal 1 in which clock signal CK distributed to the sequential circuit element in an integrated circuit from a clock signal generator etc. is given. The inversed amplifier (for example, inverter) of even level (for example, four steps) connected to arborescence is connected to the terminal 1. That is, the input side of the inverter 2 is connected to the terminal 1, and the input side of two or more inverter 3₁, --, 3_w is connected to the output side of this inverter 2. In the output side of inverter 3₁ - 3_w. The input side of two or more inverter 4₁, 4₂, --, 4_x is connected, and the input side of inverter 5₁, 5₂, --, 5_y is connected to the output side of these inverter 4₁ - 4_x.

[0013] And the output side of the 4th step of inverter $5_1 - 5_y$ is connected to the clock terminal of sequential circuit elements, such as FF6₁, 6₂, --, 6_z. All of these inverters 2, 3₁ - 3_w, 4₁ - 4_x, 5₁ - 5_y are designed so that it may become the time alpha when the time delay at the time of a standup is the same and the time delay at the time of falling may turn into the same time beta.

[0014] Drawing 2 is a signal waveform diagram showing operation of drawing 1. Hereafter, operation of drawing 1 is explained, referring to this drawing 2. If clock signal CK rises, the signal S2 outputted from the inverter 2 will fall [time / beta]. Since the signal S2 is given common to inverter 3₁ - 3_w, the signal S3 outputted from these inverter 3₁ - 3_w recovers from falling of this signal S2 [time / alpha]. Therefore, the standup of the signal S3 is delayed for the standup of clock signal CK only time (alpha+beta).

[0015] On the other hand, if clock signal CK falls, the signal S2 outputted from the inverter 2 will rise [time / alpha]. Since the signal S2 is given common to inverter 3₁ - 3_w, the signal S3 outputted from these inverter 3₁ - 3_w falls from the standup of this signal S2 [time / beta]. Therefore, falling of the signal S3 is delayed for falling of clock signal CK only time (alpha+beta).

[0016] That is, the signal S3 outputted from inverter 3₁ - 3_w serves as the waveform as that for which only time (alpha+beta) was delayed with same clock signal CK. Similarly, the signal S5 outputted from inverter 5₁ - 5_y serves as the waveform as that for which only the time 2 (alpha+beta) was delayed with same clock signal CK, and is distributed to clock terminal C of FF6₁ - 6_z.

[0017] As mentioned above, the clock signal distribution circuit of this 1st embodiment has connected the inverter with an equal time delay at the time of falling to even level arborescence equally [the time delay at the time of a standup]. Thereby, the duty ratio of the output signal of the inverter of a final stage becomes equal to the duty ratio of given clock signal CK. Therefore, there is an advantage that it can distribute to the sequential circuit element in an integrated circuit, without degrading the duty ratio of given clock signal CK.

[0018] (A 2nd embodiment) Drawing 3 is a lineblock diagram of a clock signal distribution circuit showing a 2nd embodiment of this invention. This clock signal distribution circuit has the terminal 11 in which clock signal CK is given. Two or more steps (for example, three steps) of buffer amplifiers connected to arborescence are connected to the terminal 11. That is, the input side of the buffer amplifier 12 is connected to the terminal 11, and the input side of two or more buffer amplifier 13₁, --, 13_x is connected to the output side of this buffer amplifier. The input side of further two or more buffer amplifier 14₁, 14₂, --, 14_y is connected to the output side of buffer amplifier 13₁ - 13_x. These buffer amplifier 13₁ - 13_x, 14₁ - 14_y are designed become the same time delay.

[0019] The output side of buffer amplifier 14₁ - 14_y is connected to D type FF15₁ with a reset function, --, clock terminal C of 15_y. The inverted output terminal/Q of each FF15₁ - 15_y (however, "/" means reversal) are connected to data terminal D, and 1/2 frequency divider is constituted. The noninverting output terminal Q of FF15₁ - 15_y is connected to the clock terminal of sequential circuit elements, such as FF16₁ in an integrated circuit, 16₂, --, 16_z.

[0020] This clock signal distribution circuit is provided with the reset part 20. The reset part 20 has the terminal 21 in which the reset signal RST is given, and this terminal 21 is connected to data terminal D of D type FF22. The noninverting output terminal Q of FF22 is connected to data terminal D of D type FF23, and the noninverting output terminal Q of this FF23 is connected to the 1st input side of AND gate (henceforth "AND") 24 of 3 inputs. The 2nd and 3rd input sides of AND24 are connected to the noninverting output terminal Q and the terminal 21 of FF22.

Clock terminal C of FF 22 and 23 is connected to the terminal 11, and clock signal CK is given. Common connection of the output side of AND24 is carried out to reset terminal R of each FF₁₅_{1 - 15}_y.

[0021] Drawing 4 is a signal waveform diagram showing operation of drawing 3. Hereafter, operation of drawing 3 is explained, referring to this drawing 4. First, the reset signal RST of "H" is given to the terminal 21, and clock signal CK is supplied to the terminal 11. Thereby, AND24 of the reset part 20 to reset-signal RS will be outputted, and each FF₁₅_{1 - 15}_y will be in a reset state.

[0022] Next, if "L" is given to the terminal 21 and the reset signal RST is canceled, reset-signal RS currently outputted from AND24 will be set to "L", and each FF₁₅_{1 - 15}_y will be in an operation enabling way.

[0023] Clock signal CK given to the terminal 11 is inputted via the buffers 12, 13, and 14 to the same timing as clock terminal C of each FF₁₅_{1 - 15}_y, producing delay, respectively at the time of a standup and falling. In each FF₁₅_{1 - 15}_y, dividing is carried out to one half in the timing of the standup of the signal inputted into clock terminal C, and the signal by which dividing was carried out is distributed to clock terminal C of FF₁₆_{1 - 16}_z.

[0024] As mentioned above, the clock signal distribution circuit of this 2nd embodiment has FF₁₅₁ which carries out dividing of the clock signal to one half, and is distributed to FF₁₆_{1 - 16}_{z - 15}_y. There is an advantage that the clock signal which always has a duty ratio of 1:1 can be distributed to the sequential circuit element in an integrated circuit regardless of the duty ratio of given clock signal CK by this.

[0025] (A 3rd embodiment) Drawing 5 is a lineblock diagram of a clock signal distribution circuit showing a 3rd embodiment of this invention. This clock signal distribution circuit is provided with the duty amendment part 30 which amends the duty ratio of clock signal CK. The duty amendment part 30 has the terminal 31 in which clock signal CK is given, and the PLL control part 32 is connected to this terminal 31. The PLL control part 32 outputs selection signal SEL1 and SEL2 based on the reference signal REF and the phase contrast of clock signal CK, and it generates and outputs the clock signal CKO which adjusts the phase of this clock signal CK and has a duty ratio of 1:1.

[0026] The clock signal CKO outputted from the PLL control part 32 is given to the input side of the delay element (DLY) 33. Cascade connection of two more steps of delay elements 34 and 35 is carried out to the output side of the delay element 33. The output side of the delay elements 33-35 is connected to the input side of the selector 36. Selection signal SEL1 is given to the control terminal of the selector 36 from the PLL control part 32, and the output side of this selector 36 is connected to one input side of AND37 and OR gate (henceforth "OR") 38. The clock signal CKO is given to the input side of another side of AND37 and OR38 from the PLL control part 32. The output side of AND37 and OR38 is connected to the input side of the selector 39, and selection signal SEL2 is given to the control terminal of this selector 39 from the PLL control part 32.

[0027] Two or more steps (for example, three steps) of buffer amplifiers connected to arborescence are connected to the output side of the selector 39. That is, the input side of the buffer amplifier 41 is connected to the output side of the selector 39, and the input side of two or more buffer amplifier 42₁, --, 42_x is connected to the output side of this buffer amplifier 41. The input side of further two or more buffer amplifier 43₁, 43₂, --, 43_y is connected to the output side of buffer amplifier 42₁ - 42_x. These buffer amplifier 42₁ - 42_x, 43₁ - 43_y are designed become the same time delay.

[0028]The output side of buffer amplifier 43₁ - 43_y is connected to the clock terminal of sequential circuit elements, such as FF44₁ in an integrated circuit, 44₂, --, 44_z. The output signal of buffer amplifier 43_y is given to the PLL control part 32 of the duty amendment part 30 as the reference signal REF.

[0029]Drawing 6 is a lineblock diagram of the selection signal generating section in the PLL control part 32 in drawing 5. This selection signal generating section generates selection signal SEL1 to the selectors 38 and 39, and SEL2, and comprises the standup phase comparator 32a, the falling phase comparator 32b, and the pulse width counter 32c. Clock signal CK is given to one input side of the standup phase comparator 32a and the falling phase comparator 32b, and the reference signal REF is given to the input side of another side. The output side (PHY1) of the standup phase comparator 32a is connected to one input side of the pulse width counter 32c, and the output side (PHY2) of the falling phase comparator 32b is connected to the input side of another side of this pulse width counter 32c. And selection signal SEL1 and SEL2 are outputted from the pulse width counter 32c.

[0030]Drawing 7 (a) - (e) is a signal waveform diagram showing operation of drawing 5 and drawing 6. Hereafter, operation of drawing 5 and drawing 6 is explained, referring to these drawing 7 (a) - (e). The PLL control part 32 is a main control section of this clock signal distribution circuit, and if clock signal CK is inputted into the terminal 31, phase adjustment with the reference signal REF will be performed. And the clock signal CKO which has a duty ratio of 1:1 by PLL control part 32 inside is generated, and it is outputted to the delay element 33, AND37, and OR38.

[0031]The clock signal CKO is delayed by the delay elements 33-35 by which cascade connection was carried out one by one, and the output signal N1 of these delay elements 33-35, N2, and N3 are given to the selector 36.

[0032]In the selection signal generating section of drawing 6, with the standup phase comparator 32a, the phase contrast of the clock signal CKO and the reference signal REF is detected by rising edge, and is given to the pulse width counter 32c. The reference signal REF shows drawing 7 (a) the signal wave form at this time as a case of a leading phase to the clock signal CKO.

[0033]Similarly, in the falling phase comparator 32b, the phase contrast of the clock signal CKO and the reference signal REF is detected by falling edge, and is given to the pulse width counter 32c. The reference signal REF shows drawing 7 (b) the signal wave form at this time as a case of a leading phase to the clock signal CKO.

[0034]Drawing 7 (c) is the waveform which took the logical sum of the phase contrast of the signal wave form of drawing 7 (a) and (b) in the pulse width counter 32c. If the result of logical sum is plus, the signal for choosing AND37 will be outputted as selection signal SEL2 to the selector 39. On the contrary, if the result of logical sum is minus, the signal for choosing OR38 will be outputted as selection signal SEL2 of the selector 39.

[0035]Drawing 7 (d) shows signs that a pulse number is counted, in the pulse width counter 32c. In order to count pulse width, the time delay of delay element 33 grade is counted as a sampling frequency. In the case of drawing 7 (d), a total of six pulses have counted in 1 cycle. One half of these counted value is outputted as control signal SEL1 to the selector 36. Counted value is set to one half in the output of the circuit of the clock signals CKO and AND37 or the clock signals CKO and OR38 because the effect of being twice many as the time delay of delay element 33 grade is acquired. In this case, since the counted value is 6, the value of selection signal SEL1 is set to 3, and as shown in drawing 7 (e), the output signal N3 is chosen.

[0036]At the selector 36, based on selection signal SEL1, one (here N3) in the output signals N1-N3 is chosen, by the selector 39, AND37 is chosen by selection signal SEL2 and the signal Y of this selector 39 is given to the buffer amplifier 41. The signal Y is supplied to the clock terminal of FF44₁ - 44_z via the buffer amplifier 41 connected to arborescence, 42₁ - 42_x, 43₁ - 43_y. The output signal of buffer amplifier 43_y of a final stage is fed back to the PLL control part 32 as the reference signal REF.

[0037]The fed-back reference signal REF is compared with the waveform of the duty ratio 1:1 by the PLL control part 32. When the duty ratio of the reference signal REF is not 1:1, selection signal SEL1 and SEL2 are changed in the selection signal generating section of drawing 6. And when the duty ratio of the reference signal REF is set to 1:1, selection signal SEL1 and SEL2 are fixed.

[0038]As mentioned above, the clock signal distribution circuit of this 3rd embodiment makes the clock signal supplied to the sequential circuit element of FF44 grade of an end feed back as the reference signal REF, and has the duty amendment part 30 adjusted so that the duty ratio in an end may be set to 1:1. There is an advantage that the clock signal which always has a duty ratio of 1:1 can be distributed to the sequential circuit element in an integrated circuit by this.

[0039]This invention is not limited to the above-mentioned embodiment, but various modification is possible for it. As this modification, there is a thing like following (a) - (d), for example.

(a) In drawing 1, although four steps of inverters are connected to arborescence, as long as it is even level, how many steps may be sufficient.

(b) In drawing 3 and drawing 5, although three steps of buffer amplifiers are connected to arborescence, how many steps may be sufficient. It may replace with a buffer amplifier and an inverter may be used.

[0040](c) The composition of the reset part 20 in drawing 3 is not limited to what was illustrated. That is, as long as FF15₁ - 15_y are simultaneously resettable, what kind of circuitry may be sufficient.

(d) The composition of the duty amendment part 30 in drawing 5 is not limited to what was illustrated. For example, the number of the delay elements 33-35 can be increased, and it can also constitute so that a duty ratio may be adjusted finely or broadly.

[0041]

[Effect of the Invention]As explained to details above, according to the 1st invention, equally [the time delay at the time of a standup], the time delay at the time of falling connects an equal inversed amplifier to even level arborescence, and constitutes the clock signal distribution circuit. Thereby, the clock signal of the duty ratio 1:1 can be distributed to a sequential circuit element.

[0042]According to the 2nd invention, the flip flop which reverses a retained content by turns to a standup or falling timing, and supplies the clock signal distributed via two or more steps of buffer amplifiers to a sequential circuit element is formed. Thereby, dividing of the clock signal is carried out to the signal of the duty ratio 1:1, and it is given to a sequential circuit element.

[0043]According to the 3rd invention, the output signal of the buffer amplifier of a final stage was supervised, and the duty amendment part which controls the duty ratio of a clock signal and is given to the buffer amplifier of the first rank so that the duty ratio of the output signal may be set to 1:1 is provided. Thereby, the duty ratio of the output signal of the buffer amplifier of a final stage can be amended to 1:1.

CLAIMS

[Claim(s)]

[Claim 1]In a clock signal distribution circuit which distributes a given clock signal to a sequential circuit element via two or more steps of buffer amplifiers, Connect this buffer amplifier to arborescence so that said clock signal may be supplied to said sequential circuit element via said buffer amplifier of even level, and. A clock signal distribution circuit constituting a buffer amplifier of each of said stage from an inversed amplifier with an equal time delay at the time of falling in which a time delay at the time of a standup is equal.

[Claim 2]In a clock signal distribution circuit which distributes a given clock signal to a sequential circuit element via two or more steps of buffer amplifiers, A clock signal distribution circuit forming a flip flop which is reversed by turns and outputs a retained content in a standup or falling timing of an output signal of this buffer amplifier between a buffer amplifier of a final stage of said buffer amplifiers, and said sequential circuit element.

[Claim 3]In a clock signal distribution circuit which distributes a given clock signal to a sequential circuit element via two or more steps of buffer amplifiers, An output signal of a buffer amplifier of a final stage of said two or more steps of buffer amplifiers is supervised, A clock signal distribution circuit providing a duty amendment part which controls a duty ratio of said clock signal and is given to a buffer amplifier of the first rank of the buffer amplifiers of these two or more stages so that a duty ratio of this output signal may be set to 1:1.